

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yusuke KAWAGUCHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e):  
Application No. \_\_\_\_\_ Date Filed \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-173852	June 18, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

C. Irvin McClelland  
Registration Number 21,124

日本国特許庁  
JAPAN PATENT OFFICE

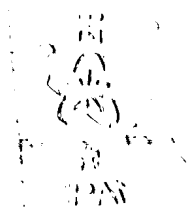
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 6月18日  
Date of Application:

出願番号 特願2003-173852  
Application Number:  
[ST. 10/C]: [JP 2003-173852]

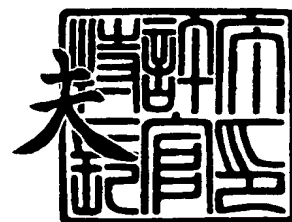
出願人 株式会社東芝  
Applicant(s):



2003年 9月25日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3078921

【書類名】 特許願

【整理番号】 14141801

【提出日】 平成15年 6月18日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 29/78

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 川 口 雄 介

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 小 野 昇太郎

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
マイクロエレクトロニクスセンター内

【氏名】 山 口 好 広

【発明者】

【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝  
研究開発センター内

【氏名】 中 川 明 夫

【特許出願人】

【識別番号】 000003078

【住所又は居所】 東京都港区芝浦一丁目 1 番 1 号

【氏名又は名称】 株式会社 東 芝

## 【代理人】

【識別番号】 100075812

【弁理士】

【氏名又は名称】 吉 武 賢 次

## 【選任した代理人】

【識別番号】 100088889

【弁理士】

【氏名又は名称】 橋 谷 英 俊

## 【選任した代理人】

【識別番号】 100082991

【弁理士】

【氏名又は名称】 佐 藤 泰 和

## 【選任した代理人】

【識別番号】 100096921

【弁理士】

【氏名又は名称】 吉 元 弘

## 【選任した代理人】

【識別番号】 100103263

【弁理士】

【氏名又は名称】 川 崎 康

## 【選任した代理人】

【識別番号】 100118876

【弁理士】

【氏名又は名称】 岡 澤 順 生

## 【手数料の表示】

【予納台帳番号】 087654

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

第 1 導電型の第 1 半導体層と、

前記第 1 半導体層上に形成された、前記第 1 半導体層よりも高抵抗の第 1 導電型の第 2 半導体層と、

前記第 2 半導体層上に形成された第 2 導電型のベース層と、

前記ベース層の表面から形成された、前記第 2 半導体層の表面に達する、帯状の平面パターンを有する複数本の第 1 のトレンチ内に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ベース層の表面から前記第 2 半導体層の表面に達した状態に形成された、隣り合う前記第 1 のトレンチ同士を連通させる第 2 のトレンチ内に、絶縁膜を介して形成され、隣り合う前記ゲート電極同士を互いに電氣的に接続するブリッジ電極と、

前記第 2 半導体層中に位置する前記第 2 のトレンチ部分を囲むように前記第 2 半導体層中に形成された第 2 導電型の不純物拡散領域と、

前記ベース層の表面領域において前記ゲート電極に沿って形成された第 1 導電型のソース領域と、

前記ソース領域上に形成されたソース電極と、

前記第 1 半導体層の裏面に形成されたドレイン電極と、

を備えることを特徴とする半導体装置。

【請求項 2】

前記ブリッジ電極は、前記ゲート電極の長さ方向において、所定のピッチで配置されたことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

オン時において前記ブリッジ電極の側面近傍に誘起されるキャリア量を低減するための第 2 導電型の不純物拡散領域が前記ベース層中において前記第 2 トレンチの側壁に沿って形成されたことを特徴とする請求項 1 に記載の半導体装置。

**【請求項 4】**

前記ブリッジ電極は、前記ゲート電極の長さ方向において、所定のピッチで配置されたことを特徴とする請求項 3 に記載の半導体装置。

**【請求項 5】**

第 1 導電型の第 1 半導体層と、

前記第 1 半導体層上に形成された、前記第 1 半導体層よりも高抵抗の第 1 導電型の第 2 半導体層と、

前記第 2 半導体層上に形成された第 2 導電型のベース層と、

前記ベース層の表面から前記ベース層の深さよりも浅く形成された、帯状の平面パターンを有する複数本の第 1 のトレンチ内に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ベース層の表面から前記ベース層の深さよりも浅く形成された、隣り合う前記第 1 のトレンチ同士を互いに連通させる第 2 のトレンチ内に、絶縁膜を介して形成され、隣り合う前記ゲート電極同士を電氣的に接続するブリッジ電極と、

前記ベース層の表面領域において前記ゲート電極に沿って形成された第 1 導電型のソース領域と、

前記ソース領域上に形成されたソース電極と、

前記第 1 のトレンチの下部周辺における前記ベース層中に、前記第 2 半導体層と繋がった状態で形成され、オン時において、前記ソース領域との間でチャンネルを形成する第 1 導電型の不純物拡散領域と、

前記第 1 半導体層の裏面に形成されたドレイン電極と、

を備えることを特徴とする半導体装置。

**【請求項 6】**

前記ブリッジ電極は、前記ゲート電極の長さ方向において、所定のピッチで配置されたことを特徴とする請求項 5 に記載の半導体装置。

**【請求項 7】**

オン時において前記ブリッジ電極の側面近傍に誘起されるキャリア量を低減するための第 2 導電型の不純物拡散領域が前記ベース層中において前記第 2 トレンチの側壁に沿って形成されたことを特徴とする請求項 5 に記載の半導体装置。

**【請求項 8】**

前記ブリッジ電極は、前記ゲート電極の長さ方向において、所定のピッチで配置されたことを特徴とする請求項 7 に記載の半導体装置。

**【請求項 9】**

第 1 導電型の第 1 半導体層と、

前記第 1 半導体層上に形成された、前記第 1 半導体層よりも高抵抗の第 1 導電型の第 2 半導体層と、

前記第 2 半導体層上に形成された第 2 導電型のベース層と、

前記ベース層の表面から形成された、前記第 2 半導体層の表面に達する、帯状の平面パターンを有する複数本の第 1 のトレンチ内に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ベース層の表面から前記ベース層の深さよりも浅く形成された、隣り合う前記第 1 のトレンチ同士を互いに連通させる第 2 のトレンチ内に、絶縁膜を介して形成され、隣り合う前記ゲート電極同士を電氣的に接続するブリッジ電極と、

前記ベース層の表面領域において前記ゲート電極に沿って形成された第 1 導電型のソース領域と、

前記ソース領域上に形成されたソース電極と、

前記第 1 半導体層の裏面に形成されたドレイン電極と、

を備えることを特徴とする半導体装置。

**【請求項 10】**

前記ブリッジ電極は、前記ゲート電極の長さ方向において、所定のピッチで配置されたことを特徴とする請求項 9 に記載の半導体装置。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体装置に係り、特にパワー MOS トランジスタに関する。

**【0002】****【従来の技術】**

近年、パワー MOS FET は、大電流出力及び高耐圧特性を有するスイッチン



グ電源の市場に加え、ノート型PCをはじめとする携帯可能機器等に用いられる省エネルギー用スイッチング電源の市場での使用が急増している。また、パワーMOSFETは、携帯可能機器等において、パワーマネジメント回路や、リチウムイオン電池の安全回路等にも用いられる。

#### 【0003】

これらのパワーMOSFETのうち、携帯可能機器等に用いられるパワーMOSFETにおいては、電池電圧での直接駆動を可能にする低電圧駆動化に加え、スイッチング損失の低減化が特に要求される。そして、スイッチング損失の低減化のためには、低オン抵抗化、ゲートドレイン間容量の低減化及びゲート抵抗の低減化等が求められる。

#### 【0004】

そこで、パワーMOSFETの特性を表す指標として、オン抵抗 ( $R_{on}$ ) 及びゲートドレイン間容量に蓄積される電荷 ( $Q_{gd}$ ) の積である  $R_{on} \times Q_{gd}$  や、ゲート電極の抵抗であるゲート抵抗が用いられる。スイッチング損失を低減するためには、これら2つの指標  $R_{on} \times Q_{gd}$  及びゲート抵抗はいずれも低いことが望ましい。

#### 【0005】

しかし、スイッチング損失を低減するため、ゲート抵抗を低くすると  $R_{on} \times Q_{gd}$  が高くなってしまいう問題があった。一方、 $R_{on} \times Q_{gd}$  を低くすると、ゲート抵抗が高くなってしまいう問題があった。このため、スイッチング損失の低減化は困難であった。以下これについて詳しく述べる。

#### 【0006】

図7は、従来のトレンチゲート型パワーMOSFETの断面斜視図である。図中Xは素子ピッチを表す。

#### 【0007】

$n^+$ 型基板21上に $n^-$ 型エピタキシャル層22が形成され、 $n^-$ 型エピタキシャル層22の表面にはp型ベース層23が形成されている。p型ベース層23の表面から下層の $n^-$ 型エピタキシャル層22に達するトレンチ24が形成されている。トレンチ24の側面及び底面にはゲート絶縁膜25が形成され、ゲート

絶縁膜 25 の内側にはゲート電極 26 が埋め込まれている。このゲート電極 26 の露出面上には層間絶縁膜 28 が形成されている。トレンチ 24 に沿った p 型ベース層 23 の表面領域には n<sup>+</sup>型ソース領域 29 が形成され、p 型ベース層 23 のその他の領域には p<sup>+</sup>型拡散領域 30 が形成されている。p<sup>+</sup>型拡散領域 30、n<sup>+</sup>型ソース領域 29 及び層間絶縁膜 28 上にはソース電極（図示せず）が形成され、一方、n<sup>+</sup>型基板 21 の下面にはドレイン電極（図示せず）が形成されている。

#### 【0008】

この図 7 において、上述したオン抵抗  $R_{on}$  は、n<sup>+</sup>型ソース領域 29 及び n<sup>+</sup>型基板 1 間の抵抗である。また、上述の電荷  $Q_{gd}$  は、ゲート電極 26 と n<sup>-</sup>型エピタキシャル層 22 との間で形成されるキャパシタに蓄積される電荷である。ゲート抵抗は、ゲート電極 26 の抵抗である。

#### 【0009】

図 8 は、図 7 のパワー MOSFET において、ターンオン時におけるオン電圧及びドレイン電流特性を概略的に示したグラフ図である。

#### 【0010】

図 8 中、 $V_{ds}$  はドレイン電圧（ドレイン－ソース間電圧）、 $I_d$  はドレイン電流である。

#### 【0011】

図 8 に示すように、時刻 0 において、ドレイン電極（図示せず）及びソース電極（図示せず）間に、ドレイン電極を正、ソース電極を負とした電圧を印加した状態で、ソース電極（図示せず）およびゲート電極 26 間に、ソース電極を負、ゲート電極を正とした電圧を印加する。遅れ時間により時刻  $t_1$  までドレイン電流  $I_d$  はほとんど流れず、時刻  $t_1$  からドレイン電流  $I_d$  は徐々に増加し、時刻  $t_2$  においてドレイン電流  $I_d$  は規定値に達する。即ち、オン状態になる。上述のオン抵抗  $R_{on}$  は、このときのドレイン電圧  $V_{ds}$  ( $V_r$ ) をドレイン電流  $I_d$  で除算したものである。

#### 【0012】

この図 8 において、時刻  $t_1 \sim t_2$ （図中の  $T_{gd}$ ）は、ゲート－ドレイン間

容量に電荷が蓄積する期間に一致する。この電荷蓄積期間  $T_{gd}$  におけるドレイン電流  $I_d$  とドレイン電圧  $V_{ds}$  との積がスイッチング損失となる（期間  $0 \sim t_1$  までは  $I_d$  が小さいのでこの間の損失はあまり問題でない）。従って、電荷蓄積期間  $T_{gd}$  が小さいほど、スイッチング損失は小さいといえる。

#### 【0013】

電荷蓄積時間  $T_{gd}$  を小さくするためは、上述したゲート抵抗を下げる可以考虑される。ゲート抵抗が下がれば、ゲートドレイン間容量に高速に電荷が蓄積するからである。ゲート抵抗を下げるためには、具体的には、図7に示すように、トレンチ24の深さを大きくし、これによりゲート電極26の断面積を大きくすることが考えられる。

#### 【0014】

しかし、このようにしてゲート抵抗を小さくすると、ゲート電極26とn型エピタキシャル層22との対向面積が増えるため、ゲートドレイン間蓄積電荷量 ( $Q_{gd}$ ) が大きくなり、この結果、 $R_{on} \times Q_{gd}$  が大きくなってしまう。

#### 【0015】

##### 【特許文献1】

特開2000-269487号公報

##### 【特許文献2】

特開2000-299464号公報

#### 【0016】

##### 【発明が解決しようとする課題】

本発明は、上記問題点に鑑みてなされたものであり、その目的は、 $R_{on} \times Q_{gd}$  を小さい状態に確保しつつ、ゲート抵抗を小さくした半導体装置を提供することにある。

#### 【0017】

##### 【課題を解決するための手段】

本発明の第1の半導体装置は、第1導電型の第1半導体層と、前記第1半導体層上に形成された、前記第1半導体層よりも高抵抗の第1導電型の第2半導体層と、前記第2半導体層上に形成された第2導電型のベース層と、前記ベース層の

表面から形成された、前記第 2 半導体層の表面に達する、帯状の平面パターンを有する複数本の第 1 のトレンチ内に、ゲート絶縁膜を介して形成されたゲート電極と、前記ベース層の表面から前記第 2 半導体層の表面に達した状態に形成された、隣り合う前記第 1 のトレンチ同士を連通させる第 2 のトレンチ内に、絶縁膜を介して形成され、隣り合う前記ゲート電極同士を互いに電氣的に接続するブリッジ電極と、前記第 2 半導体層中に位置する前記第 2 のトレンチ部分を囲むように前記第 2 半導体層中に形成された第 2 導電型の不純物拡散領域と、前記ベース層の表面領域において前記ゲート電極に沿って形成された第 1 導電型のソース領域と、前記ソース領域上に形成されたソース電極と、前記第 1 半導体層の裏面に形成されたドレイン電極と、を備えることを特徴とする。

#### 【0018】

本発明の第 2 の半導体装置は、第 1 導電型の第 1 半導体層と、前記第 1 半導体層上に形成された、前記第 1 半導体層よりも高抵抗の第 1 導電型の第 2 半導体層と、前記第 2 半導体層上に形成された第 2 導電型のベース層と、前記ベース層の表面から前記ベース層の深さよりも浅く形成された、帯状の平面パターンを有する複数本の第 1 のトレンチ内に、ゲート絶縁膜を介して形成されたゲート電極と、

前記ベース層の表面から前記ベース層の深さよりも浅く形成された、隣り合う前記第 1 のトレンチ同士を互いに連通させる第 2 のトレンチ内に、絶縁膜を介して形成され、隣り合う前記ゲート電極同士を電氣的に接続するブリッジ電極と、

前記ベース層の表面領域において前記ゲート電極に沿って形成された第 1 導電型のソース領域と、前記ソース領域上に形成されたソース電極と、前記第 1 のトレンチの下部周辺における前記ベース層中に、前記第 2 半導体層と繋がった状態で形成され、オン時において、前記ソース領域との間でチャンネルを形成する第 1 導電型の不純物拡散領域と、前記第 1 半導体層の裏面に形成されたドレイン電極と、を備えることを特徴とする。

#### 【0019】

上記第 1 及び第 2 の半導体装置において、オン時において前記ブリッジ電極の側面近傍に誘起されるキャリア量を低減するための第 2 導電型の不純物拡散領域

が前記ベース層中において前記第2トレンチの側壁に沿って形成されてもよい。

#### 【0020】

本発明の第3の半導体装置は、第1導電型の第1半導体層と、前記第1半導体層上に形成された、前記第1半導体層よりも高抵抗の第1導電型の第2半導体層と、前記第2半導体層上に形成された第2導電型のベース層と、前記ベース層の表面から形成された、前記第2半導体層の表面に達する、帯状の平面パターンを有する複数本の第1のトレンチ内に、ゲート絶縁膜を介して形成されたゲート電極と、前記ベース層の表面から前記ベース層の深さよりも浅く形成された、隣り合う前記第1のトレンチ同士を互いに連通させる第2のトレンチ内に、絶縁膜を介して形成され、隣り合う前記ゲート電極同士を電氣的に接続するブリッジ電極と、前記ベース層の表面領域において前記ゲート電極に沿って形成された第1導電型のソース領域と、前記ソース領域上に形成されたソース電極と、前記第1半導体層の裏面に形成されたドレイン電極と、を備えることを特徴とする。

#### 【0021】

上記第1乃至第3の半導体装置において、前記ブリッジ電極は、前記ゲート電極の長さ方向において、所定のピッチで配置されることが望ましい。

#### 【0022】

##### 【発明の実施の形態】

##### （第1の実施の形態）

図1（a）は、本発明の第1の実施の形態としてのパワーMOSFETの一部を示す断面斜視図である。

#### 【0023】

図1（b）は、図1（a）のパワーMOSFETからソース電極12及びドレイン電極13を取り除いた状態を示す断面斜視図である。

#### 【0024】

図1（a）及び図1（b）中、符号pは素子ピッチを示す。素子ピッチpは、例えば4 $\mu$ mであり、ピッチp方向における素子長は例えば2mmである。

#### 【0025】

図1（b）に示すように、n<sup>+</sup>型基板1上にn<sup>-</sup>型エピタキシャル層2が形成

され、この n 型エピタキシャル層 2 の表面には p 型ベース層 3 が形成されている。

【0026】

p 型ベース層 3 の表面から下層の n 型エピタキシャル層 2 の表面に達するトレンチ 5 a 及びトレンチ 5 b が形成されている。

【0027】

トレンチ 5 a は、ピッチ P の方向に等間隔に配置され、ピッチ P 方向に垂直な方向で且つ基板面に平行な方向に沿って細長状に複数形成されている。

【0028】

トレンチ 5 b は、所定の間隔 D を隔てて、各トレンチ 5 a 間を互いに連通させるものとして形成されている。

【0029】

トレンチ 5 a 及びトレンチ 5 b は、それぞれ同一の深さを有し、同一工程あるいは別工程により形成される。

【0030】

細長トレンチ 5 a の側面及び底面には、例えばシリコン酸化膜によるゲート絶縁膜 6 a が形成されている。ゲート絶縁膜 6 a の内側には、例えばドーパされたポリシリコンによるゲート電極 8 a が埋め込み形成されている。

【0031】

一方、トレンチ 5 b の側面及び底面には、例えばシリコン酸化膜による絶縁膜 6 b が形成されている。絶縁膜 6 b の内側には、隣り合うゲート電極 8 a 同士を接続して、ゲート抵抗を小さくするためのブリッジ電極 8 b が埋め込み形成されている。ブリッジ電極 8 b は、例えばドーパされたポリシリコンにより形成される。

【0032】

上述のゲート電極 8 a 及びブリッジ電極 8 b は、同一工程あるいは別工程により形成される。

【0033】

ここで、図 1 (b) に示すように、ブリッジ電極 8 b の配置ピッチが小さい程

、ゲート抵抗は低減される。しかしながら、ブリッジ電極 8 b の配置ピッチを小さく過ぎると、細長のトレンチ 5 a の側壁付近に形成されるチャネル領域が小さくなる。つまり、ドレイン電流が小さくなってしまう。よって、ゲート抵抗とドレイン電流との兼ね合いから、ブリッジ電極 8 b のピッチ、すなわち、トレンチ 5 b 間の距離 D を決定する。

#### 【0034】

n 型エピタキシャル層 2 に達したトレンチ 5 b の下部を囲むように、p 型拡散領域 7 が形成されている。この p 型拡散領域 7 は、トレンチ 5 b 内部のブリッジ電極 8 b と n 型エピタキシャル層 2 とが直接向かい合うことを阻止するものである。つまり、p 型拡散領域 7 は、パワー MOSFET の動作時において、ブリッジ電極 8 b と n 型エピタキシャル層 2 の間で、容量（ゲートドレイン間容量）が形成されることを阻止する。この p 型拡散領域 7 は、図 1（b）に示すように、チャネル領域が形成される n<sup>+</sup>型ソース領域 10 の下方には形成しないことが好ましい。

#### 【0035】

ゲート電極 8 及びブリッジ電極 8 b の露出面上には、層間絶縁膜 9 が形成されている。

#### 【0036】

一方、p 型ベース層 3 の表面には、細長のトレンチ 5 a に沿って、トレンチ 5 a の両側に n<sup>+</sup>型ソース領域 10 が形成されている。

#### 【0037】

p 型ベース層 3 表面のその他の領域には、p<sup>+</sup>型拡散領域 11 が形成されている。この p<sup>+</sup>型拡散領域 11 は、ブレークダウン時に生成されたホールが、後述するソース電極 12 側に流出する際の抵抗を小さくするものである。

#### 【0038】

p<sup>+</sup>型拡散領域 11、n<sup>+</sup>型ソース領域 10 及び層間絶縁膜 9 上には、図 1（a）に示すように、アルミニウム等の高導電性材料によるソース電極 12 が形成されている。

#### 【0039】

一方、 $n^+$ 型基板 1 の下面には、アルミニウム等の高導電性材料によるドレイン電極 13 が形成されている。

#### 【0040】

以上の構成によれば、上述したように、各ゲート電極 8 a 間に配設されたブリッジ電極 8 b によってゲート抵抗が小さくされる。また、トレンチ 5 b の下部を囲むように形成された p 型拡散領域 7 によって、容量の形成、つまり、蓄積電荷の増加も阻止される。さらに、図 1 (a) を参照して明らかなように、ブリッジ電極 8 b を形成したことによるオン抵抗  $R_{on}$  の増加もない。

#### 【0041】

よって、オン抵抗 ( $R_{on}$ )  $\times$  ゲートドレイン間蓄積電荷量 ( $Q_{gd}$ ) を低く抑えた状態で、ゲート抵抗を小さくすることができる。

#### 【0042】

図 2 は、図 1 のパワー MOSFET において、ターンオフ時におけるスイッチング時間を、従来のパワー MOSFET と比較して示したグラフ図である。ここで、スイッチング時間とは、ドレイン電圧  $V_{ds}$  が、 $0.1V_t \sim 0.9V_t$  まで変化するのに要する時間である。

#### 【0043】

図 2 に示すように、本実施の形態によるパワー MOSFET では、スイッチング時間は約  $4\text{ nsec}$  (時間  $t_1$ ) である。これに対し、従来のパワー MOSFET では、スイッチング時間は約  $8\text{ nsec}$  である (時間  $t_2$ )。従って、本実施の形態によるパワー MOSFETの方が、約  $4\text{ nsec}$  程度 (時間  $t_2 - \text{時間 } t_1$ )、スイッチング時間が短い。これは、電荷放電時間が短縮したことに基づく。

#### 【0044】

より詳しくは、図 2 において、時間  $t_1$  は、本実施の形態における電荷放電時間、時間  $t_2$  は、従来における電荷放電時間を表す。この電荷放電時間の差 ( $t_2 - t_1$ ) が、上述のスイッチング時間の差となって表れている。

#### 【0045】

このスイッチング時間の短縮により、スイッチング損失は低減されることとなる。より詳しくは以下の通りである。



## 【0046】

即ち、電荷放電時間における  $I_d$  と  $V_{ds}$  との積が、ターンオフ時におけるスイッチング損失であり、この時間が小さい程、スイッチング損失は小さい。ここで、上述したように、本実施の形態の方が、従来よりも、電荷放電時間が  $t_{2-21}$  だけ短い。よって、本実施の形態の方が、スイッチング損失は少なくなる。

## 【0047】

以上のように、本実施の形態によれば、各ゲート電極間をブリッジ電極で接続するとともに、ブリッジ電極の下部周辺に容量の形成を防ぐ不純物拡散領域を形成したので、 $R_{on} \times Q_{gd}$  を小さく保ちつつ、ゲート抵抗を下げることができる。よって、ターンオフ時における電荷放電時間、及びターンオン時における電荷蓄積時間は低減され、これにより、スイッチング損失を小さくすることができる。

## 【0048】

(第2の実施の形態)

図3は、本発明の第2の実施の形態としてのパワーMOSFETの一部を示す断面斜視図である。図3中、第1の実施の形態において用いた図1中の部分と同等部分には同一の符号を付してある。

## 【0049】

本実施の形態では、第1の実施の形態と異なり、p型ベース層3の表面から形成された細長のトレンチ5a及びトレンチ5bのいずれもn<sup>-</sup>型エピタキシャル層3に達せず、且つ、細長のトレンチ5aの下部周辺にn型拡散領域16が形成されている。以下、本実施の形態について詳述する。

## 【0050】

図3に示すように、n<sup>+</sup>型基板1上には、第1の実施の形態と同様、n<sup>-</sup>型エピタキシャル層2が形成され、n<sup>-</sup>型エピタキシャル層2の表面にはp型ベース層3が形成されている。このp型ベース層3は第1の実施の形態よりも厚く形成されている。

## 【0051】

p型ベース層3の表面から内部に向けて、p型ベース層3の深さよりも浅いト

レンチ 5 a 及びトレンチ 5 b が形成されている。即ち、これらトレンチ 5 a 及びトレンチ 5 b は、 $n^-$ 型エピタキシャル層 2 の表面に達しない。

#### 【0052】

これらのトレンチ 5 a 及び 5 b のうち、トレンチ 5 a の下部周辺には、 $n^-$ 型エピタキシャル層 2 と繋がった状態で、 $n$  型拡散領域 16 が形成されている。この  $n$  型拡散領域 16 は、ターンオン時において、後述のソース領域 10 との間にチャンネルを形成する。

#### 【0053】

トレンチ 5 a 及びトレンチ 5 b の内側には、第 1 の実施の形態と同様、それぞれゲート絶縁膜 6 a 及び絶縁膜 6 b が形成され、トレンチ 5 a 及びトレンチ 5 b の内部にはゲート電極 8 a 及びブリッジ電極 8 b が埋め込まれている。ゲート電極 8 a 及びブリッジ電極 8 b 上には層間絶縁膜 9 が形成されている。 $p$  型ベース層 3 の表面領域には、 $n^+$  型ソース領域 10 及び  $p^+$  型拡散領域 11 が形成されている。 $n^+$  型ソース領域 10、 $p^+$  型拡散領域 11 及び層間絶縁膜 9 上にはソース電極（図示せず）が形成され、一方、 $n^+$  型基板 1 の下面にはドレイン電極（図示せず）が形成されている。

#### 【0054】

以上のように、本実施の形態によれば、トレンチ 5 b が  $n^-$  型エピタキシャル層 2 に表面に達しないようにしたので、トレンチ 5 b 内に形成されるブリッジ電極 8 b と、 $n^-$  型エピタキシャル層 2 とのオーバーラップ、つまりブリッジ電極 8 b 及び  $n^-$  型エピタキシャル層 2 間の容量の生成を防ぐことができる。よって、 $R_{on} \times Q_{gd}$  を低く保ちつつ、ゲート抵抗を小さくすることができる。

#### 【0055】

（第 3 の実施の形態）

図 4 は、本発明の第 3 の実施の形態としてのパワー MOSFET の一部を示す断面斜視図である。図 4 中、第 1 の実施の形態において用いた図 1 中の部分と同等部分には同一の符号を付してある。

#### 【0056】

本実施の形態が、第 1 の実施の形態と異なる点は、トレンチ 5 b の側壁に沿っ

て、p 型ベース層 3 中に p 型拡散領域（反転層生成防止領域）18 を形成した点にある。

#### 【0057】

即ち、第 1 の実施の形態では、図 1（b）に示すように、ターンオン時において、ブリッジ電極 8b の側面部及び p 型ベース層 3 間の容量に、若干の電荷が蓄積される。この電荷の蓄積は、ゲートドレイン間蓄積電荷量（ $Q_{gd}$ ）の上昇に等しい。

#### 【0058】

そこで、本実施の形態では、ブリッジ電極 8b との間で絶縁膜 6b を挟むようにして反転層生成防止領域 18 を形成してある。この反転層生成防止領域 18 は、オン時に、絶縁膜 6b 越しに誘起されるキャリア量を低減する。つまり、反転層生成防止領域 18 は、ブリッジ電極 8b 及び p 型ベース層 3 間の容量（蓄積電荷量）を小さくする機能を有する。この反転層生成防止領域 18 の不純物濃度が高い程、この効果は高い。

#### 【0059】

以上のように、本実施の形態によれば、ブリッジ電極 8b の側面に沿って反転層生成防止領域 18 を形成したので、第 1 の実施の形態よりもさらに低い状態に、 $R_{on} \times Q_{gd}$ を抑えることができる。

#### 【0060】

（第 4 の実施の形態）

図 5 は、本発明の第 4 の実施の形態としてのパワー MOSFET の一部を示す断面斜視図である。図 5 中、第 2 及び第 3 の実施の形態において用いた図 3 及び図 4 中の部分と同じ部分には同一の符号を付してある。

#### 【0061】

本実施の形態は、上述した第 2 及び第 3 の実施の形態を組み合わせたことを特徴とする。

#### 【0062】

即ち、本実施の形態では、図 5 に示すように、細長のトレンチ 5a 及びトレンチ 5b はいずれも n 型エピタキシャル層 2 の表面に達しない。また、細長のト

レンチ 5 a の下部周辺には n 型拡散領域 16 が形成され、トレンチ 5 b の側面部に沿って反転層生成防止領域 18 が形成されている。

#### 【0063】

よって、本実施の形態によれば、より確実に、 $R_{on} \times Q_{gd}$  を低く保ちつつ、ゲート抵抗を低くすることができる。

#### 【0064】

(第 5 の実施の形態)

図 6 は、本発明の第 5 の実施の形態としてのパワー MOSFET の一部を示す断面斜視図である。第 1 の実施の形態において用いた図 1 中の部分と同じ部分には同一の符号を付してある。

#### 【0065】

本実施の形態の特徴は、細長のトレンチ 5 a が n 型エピタキシャル層 2 の表面に達しており、且つ、細長のトレンチ 5 a 同士を連通させるトレンチ 5 b は、n 型エピタキシャル層 2 の表面に達していないことにある。従って、ブリッジ電極 8 b と n 型エピタキシャル層とはオーバーラップせず、ブリッジ電極 8 b と n 型エピタキシャル層 2 との間に容量は形成されない。つまり、ゲートドレイン間電荷蓄積量 ( $Q_{gd}$ ) は増加しない。

#### 【0066】

よって、本実施の形態によれば、 $R_{on} \times Q_{gd}$  を低く保ちつつ、ゲート抵抗を低くすることができる。

#### 【0067】

#### 【発明の効果】

本発明によれば、ゲート電極間をブリッジ電極により接続するとともに、ブリッジ電極の配置に基づく容量の形成を極力阻止するようにしたので、オン抵抗と、ゲートドレイン間蓄積電荷量との積を可及的に低く抑えた状態で、ゲート抵抗を低くすることができる。これにより、スイッチング損失を可及的に低減することができる。

#### 【図面の簡単な説明】

#### 【図 1】

本発明の第1の実施の形態としてのパワーMOSFETの一部を示す断面斜視図である。

【図2】

第1の実施の形態による効果を従来の場合と比較して示すグラフ図である。

【図3】

本発明の第2の実施の形態としてのパワーMOSFETの一部を示す断面斜視図である。

【図4】

本発明の第3の実施の形態としてのパワーMOSFETの一部を示す断面斜視図である。

【図5】

本発明の第4の実施の形態としてのパワーMOSFETの一部を示す断面斜視図である。

【図6】

本発明の第6の実施の形態としてのパワーMOSFETの一部を示す断面斜視図である。

【図7】

従来のパワーMOSFETの一部を示す断面斜視図である。

【図8】

従来のパワーMOSFETにおいて、ターンオン時におけるスイッチング損失を説明するためのグラフ図である。

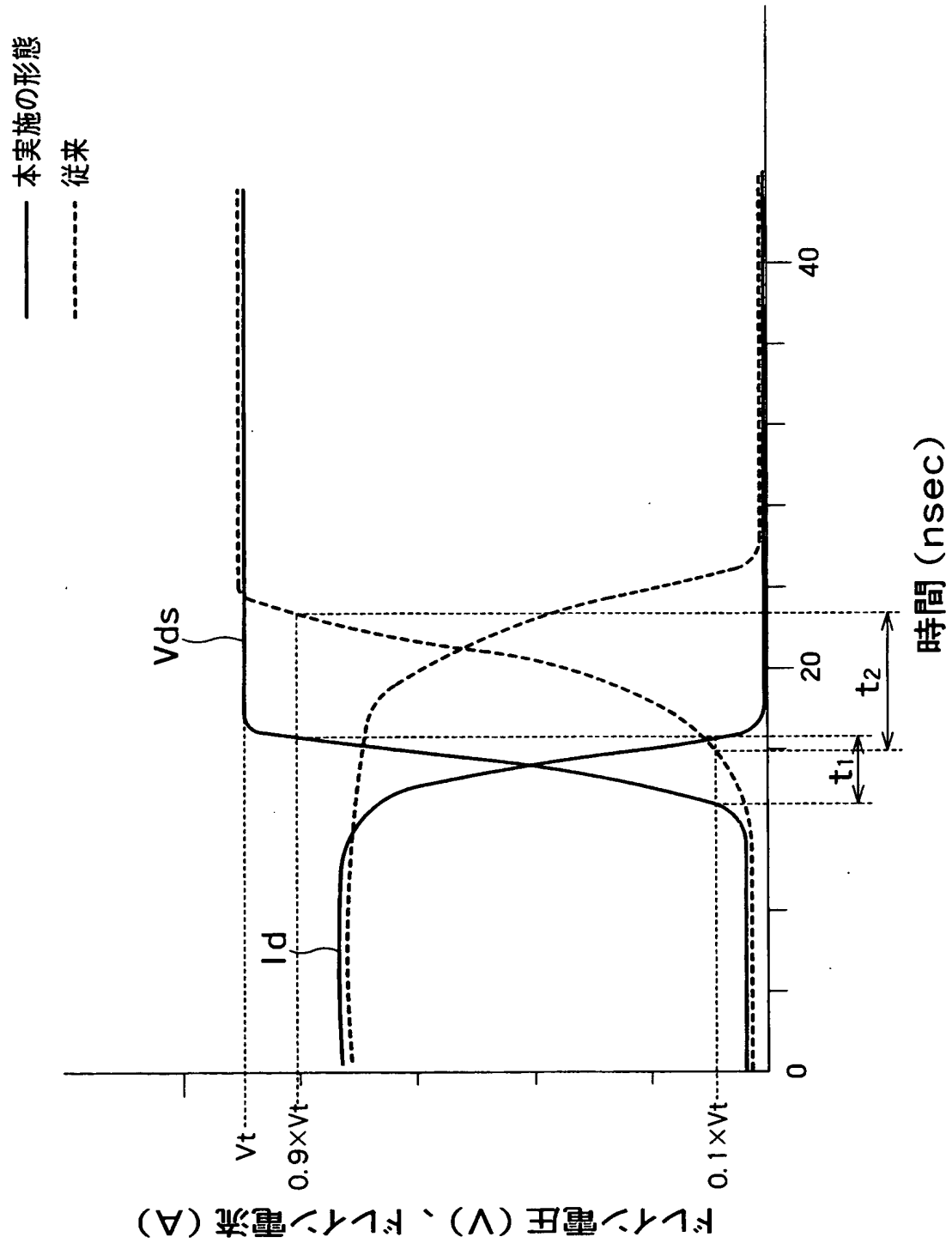
【符号の説明】

- 1  $n^+$ 型基板（第1導電型の第1半導体層）
- 2  $n^-$ 型エピタキシャル層（第1の導電型の第2半導体層）
- 3  $p$ 型ベース層（第2導電型のベース層）
- 5a、5b トレンチ
- 6a ゲート絶縁膜
- 6b 絶縁膜
- 7  $p$ 型拡散領域（第2導電型の不純物拡散領域）

- 8 a ゲート電極
- 8 b ブリッジ電極
- 9 層間絶縁膜
- 1 0 n<sup>+</sup>型ソース領域
- 1 1 p<sup>+</sup>型拡散領域
- 1 2 ソース電極
- 1 3 ドレイン電極
- 1 6 n型拡散領域（第 1 導電型の不純物拡散領域）
- 1 8 反転層生成防止領域（第 2 導電型の不純物拡散領域）

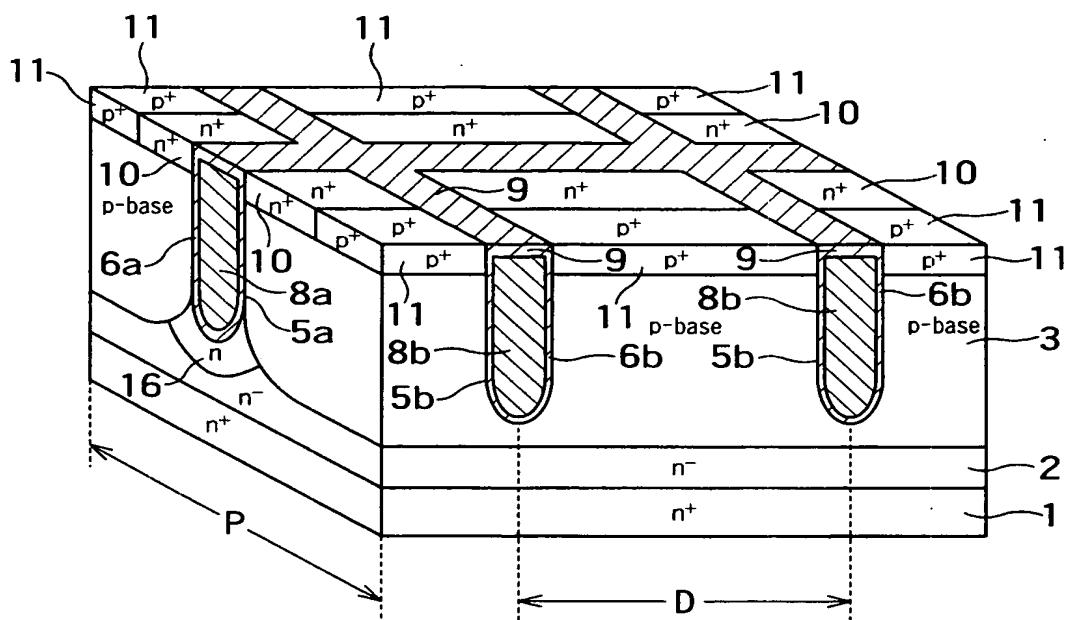


【図 2】

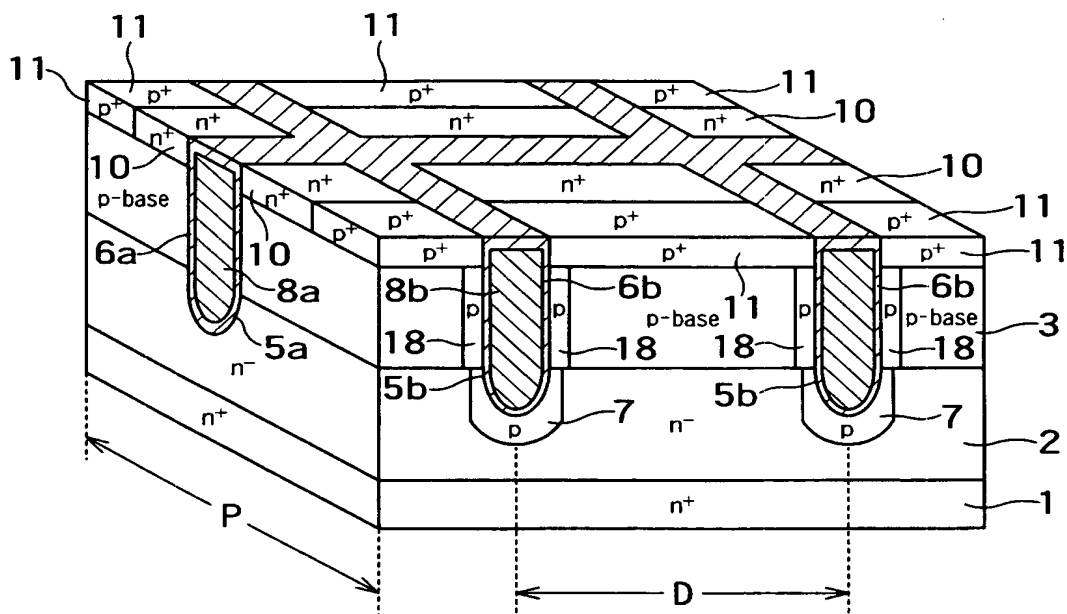




【図 3】

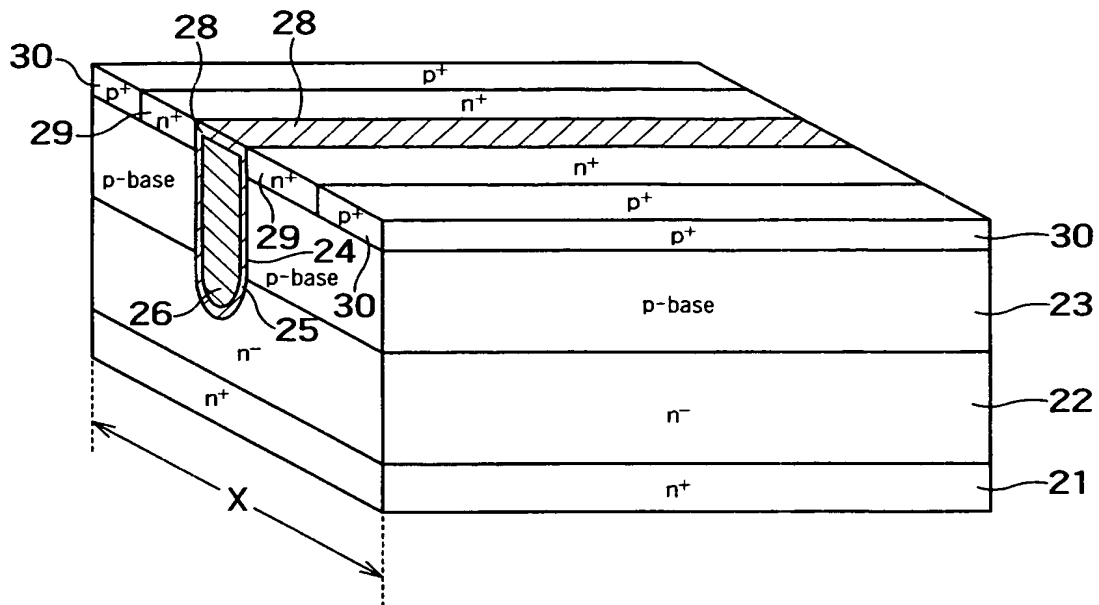


【図 4】

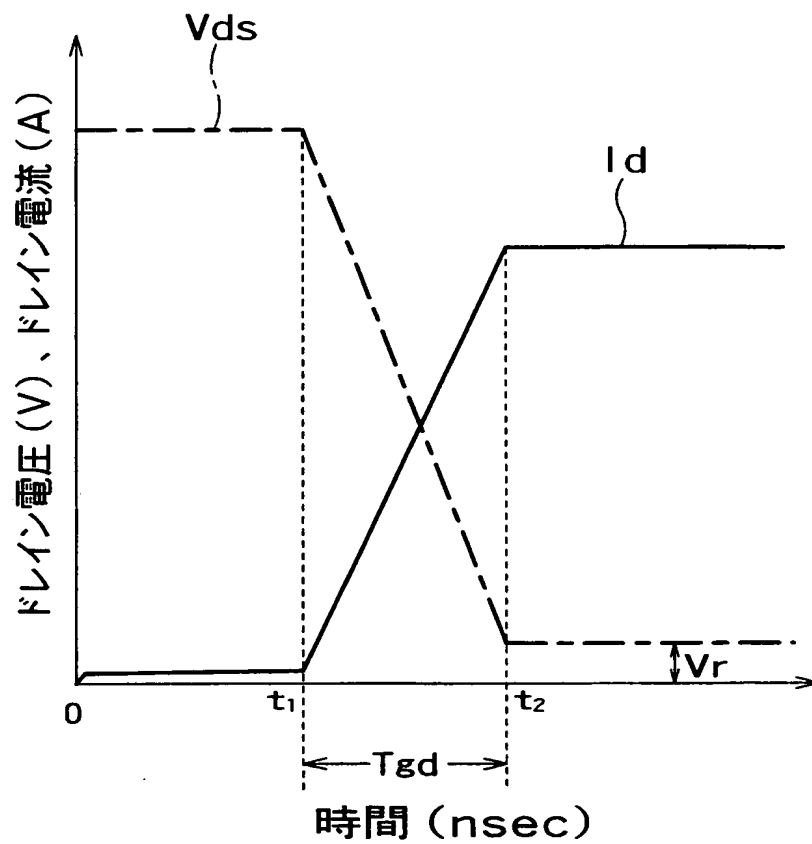




【图 7】



【図 8】



【書類名】 要約書

【要約】

【課題】  $R_{on} \times Q_{gd}$  を小さい状態に確保しつつ、ゲート抵抗を小さくする

。

【解決手段】 第1導電型の第1半導体層上に、前記第1半導体層よりも高抵抗の第1導電型の第2半導体層と、第2導電型のベース層とを順次形成し、前記ベース層の表面から、前記第2半導体層の表面に達する、帯状の平面パターンを有する複数本の第1のトレンチが形成し、この第1のトレンチ内に、ゲート絶縁膜を介してゲート電極を形成し、前記ベース層の表面から、前記第2半導体層の表面に達し且つ隣り合う前記第1のトレンチ同士を連通させる第2のトレンチを形成し、この第2のトレンチ内に、絶縁膜を介して、隣り合うゲート電極同士を電氣的に接続するブリッジ電極を形成し、前記第2半導体層中に位置する前記第2のトレンチ部分を囲むように前記第2半導体層中に第2導電型の不純物拡散領域を形成し、前記ベース層の表面領域に前記ゲート電極に沿って第1導電型のソース領域を形成する。

【選択図】 図1

特願 2003-173852

出願人履歴情報

識別番号

[000003078]

1. 変更年月日

2001年 7月 2日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目1番1号

氏 名

株式会社東芝